

## A) INTRODUZIONE

L'obiettivo del progetto è di sviluppare rivelatori a pixel innovativi sfruttando l'opzione, offerta da alcune fonderie di silicio, di implementare processi CMOS standard su wafer a moderata resistività. L'impiego di questa variante tecnologica può portare a sensori monolitici nei quali una regione di svuotamento uniforme compresa tra i 10  $\mu\text{m}$  ed i 40  $\mu\text{m}$  è ottenuta applicando tensioni di polarizzazione inverse tra i 20 V ed i 100 V. La carica viene raccolta per *deriva* anziché per *diffusione*; in questo modo si punta a raggiungere una velocità e una tolleranza alle radiazioni del tutto confrontabili con quelle offerte dai rivelatori ibridi tradizionali.

Nell'ambito del progetto, oltre al sensore vero e proprio, ci si propone di sviluppare architetture di elaborazione del segnale e trasmissione dati "ultra low-power", con lo scopo di sfruttare al meglio il vantaggio offerto dall'approccio monolitico in termini di bassa dissipazione di potenza e ridotto material budget. Gli sviluppi sono effettuati utilizzando una tecnologia CMOS standard da 90 nm.

### Obiettivi principali.

1. Studio di un sensore a pixel su wafer a moderata resistività. Ottimizzazione della geometria del sensore in modo da massimizzare il potenziale di polarizzazione applicabile e quindi l'ampiezza (e l'uniformità) della regione di svuotamento.
2. Progetto di elettronica di front-end ultra low-power. L'obiettivo è di implementare l'amplificatore di front-end ed il comparatore con una potenza inferiore ai 2  $\mu\text{W}$  per pixel. Studio di architetture binarie e con lettura analogica dell'informazione basata sul Time over Threshold (ToT). Studio di tecniche di calibrazione per permettere la caratterizzazione dell'elettronica in modo indipendente rispetto al sensore.
3. Progetto di elettronica low-power di read-out per la memorizzazione temporanea e lettura dei dati. Confronto tra vari schemi di compressione dati. Sviluppo di architetture di read-out flessibili e programmabili per consentire l'ottimizzazione della dissipazione di potenza in rapporto alle condizioni di occupancy nel rivelatore.
4. Caratterizzazione dettagliata dei prototipi sviluppati. Caratterizzazione elettrica e con vari tipi di sorgenti (laser infrarossi, emettitori beta e X) e in beam tests. Studio del danneggiamento da radiazione, sia per quanto riguarda la dose totale che il danneggiamento da neutroni.
5. Studio di affidabilità a lungo termine dei sensori.

## **B) DESCRIZIONE DEL PROGETTO**

### **1. Quadro di riferimento**

Lo sviluppo di rivelatori a pixel monolitici in tecnologia CMOS (MAPS) che integrino sullo stesso substrato il sensore e la relativa elettronica di lettura è stato negli ultimi dieci anni un campo di ricerca molto attivo. I principali vantaggi derivanti dall'utilizzo dei MAPS in applicazioni di fisica nucleare e delle alte energie sono ben noti: ridotta potenza dissipata, diminuzione del material budget e risparmio notevole sui costi di produzione e di assemblaggio.

Il fatto che nei MAPS la carica venga raccolta per diffusione anziché per deriva rende questi sensori più vulnerabili dei pixel ibridi per quanto riguarda gli effetti dovuti al danneggiamento da radiazione non-ionizzante. Nei dispositivi attuali l'efficienza nella raccolta di carica si riduce drasticamente per fluenze superiori a  $10^{13}$  neutroni/cm<sup>2</sup>. Per questa ragione i rivelatori monolitici convenzionali sono inadeguati per applicazioni ai collisori adronici quali LHC/sLHC, dove per altro permetterebbero di realizzare economie di scala particolarmente vantaggiose.

Lo scopo della collaborazione Lepix è di sfruttare nuovi aspetti tecnologici offerti dai moderni processi "very deep submicron" per realizzare rivelatori a pixel monolitici che abbiano una resistenza al danneggiamento da neutroni paragonabile a quella dei più tradizionali pixel ibridi e prestazioni in termini di material budget e potenza dissipata confrontabili con i MAPS (10-40 mW/cm<sup>2</sup> in confronto ai 200mW/cm<sup>2</sup> tipici dei rivelatori ibridi). Si tratta quindi di un approccio complementare rispetto ad altri attualmente seguiti nell'ambito della comunità scientifica (MAPS, integrazione verticale). Il lavoro si inserisce nell'ambito di una collaborazione internazionale che vedrebbe coinvolti, oltre all'INFN, il CERN di Ginevra e l'IReS di Strasburgo.

### **2) Descrizione tecnica**

Il punto di partenza è la possibilità offerta da alcune fonderie di fabbricare circuiti integrati CMOS standard sia analogici che digitali su wafer con moderata resistività (tipicamente 200 Ohm-cm). Un simile valore di resistività permette di realizzare sensori nei quali una zona di svuotamento compresa tra 20 µm e 40 µm può essere ottenuta applicando una tensione di polarizzazione compresa tra i 20 ed i 100 Volt, confrontabile dunque con i valori tipici utilizzati in rivelatore standard. L'intenso campo elettrico favorirebbe una rapida raccolta del segnale, riducendo di conseguenza la probabilità di cattura dei portatori da parte di eventuali trappole generate dal danneggiamento del substrato. Per queste ragioni i dispositivi in questione potrebbero essere utilizzati nei futuri aggiornamenti dei rivelatori in uso ad LHC.

Come nei MAPS tradizionali, anche nei sensori oggetto di questa proposta la conversione corrente tensione avviene grazie alla capacità parassita dell'elettrodo di raccolta e l'elettronica di front-end che si può mettere a bordo del pixel è limitata. Le giunzioni presenti nei transistori entrerebbero infatti in competizione con il diodo principale, drenando una parte del segnale. Sfruttando tuttavia l'elevata densità di interconnessioni offerta dalla 90 nm è pensabile di metter a bordo della cella solo il primo transistor della catena di amplificazione, inviando per ogni pixel il segnale in analogico alla periferia della matrice. Qui l'informazione viene elaborata in modo indipendente per ogni pixel, in modo simile a quanto fatto in un chip di front-end per rivelatori ibridi. È da notare che il nodo tecnologico dei 90 nm è il primo ad utilizzare dielettrici con permittività ridotta rispetto al biossido di silicio che consentono una riduzione del pitch delle linee di interconnessione senza aumentare in modo eccessivo la capacità parassita associata. In altre parole, l'idea è di utilizzare la corrente di polarizzazione del primo transistor per inviare l'informazione analogica su distanze relativamente lunghe e la capacità delle linee di interconnessione per effettuare un primo shaping del segnale.

Le dimensioni della cella sensibile elementare vengono scelte in modo da ottimizzare le performance del sistema. Va osservato che riducendo le dimensioni dell'elettrodo sensibile si riduce la capacità parassita associata e quindi la potenza necessaria per ottenere un determinato rapporto

segnale-rumore nell'elettronica di front-end. L'unità di partenza può essere, ad esempio, un sensore di  $100\ \mu\text{m} \times 100\ \mu\text{m}$  che integra a bordo anche il primo transistor del preamplificatore. Queste celle fondamentali possono poi essere combinate tra loro in modo flessibile, così da ottimizzare l'uso delle risorse nell'elettronica di lettura e quindi la potenza dissipata in funzione della risoluzione spaziale richiesta. Le moderne tecnologie CMOS consentono di fabbricare chip che hanno una dimensione massima tipica di  $2\ \text{cm} \times 2\ \text{cm}$ . In altre parole, con questo approccio si possono fabbricare sia rivelatori a pixel propriamente detti che sensori a strip corte.

È da notare come sensori a pixel monolitici con raccolta di carica per deriva siano già stati realizzati e discussi in letteratura nella prima metà degli anni Novanta. Il know-how accumulato in queste prime esperienze è pienamente disponibile nell'ambito del progetto, in quanto alcuni degli autori, attualmente al CERN, sono direttamente coinvolti in questa attività. Gli sviluppi pionieristici a cui si è accennato utilizzarono dei processi tecnologici "dedicati", la cui complessità ed il cui elevato costo impedirono l'applicabilità di questo concetto alla costruzione di rivelatori su vasta scala.

La possibilità di impiegare processi CMOS commerciali può però cambiare radicalmente questo quadro. Basti considerare a titolo di esempio che rivelatori necessari per equipaggiare una superficie di  $200\text{m}^2$  possono essere prodotti da una moderna fonderia in alcune settimane.

### **3. Organizzazione del lavoro**

#### **3a. Attività progettuali**

##### *1) Studio della geometria del sensore.*

Il punto centrale è individuare la struttura ottimale che permetta di applicare in modo affidabile il potenziale di svuotamento più elevato possibile (il target è  $100\ \text{V}$ ) in modo da massimizzare il rapporto segnale rumore ed avere un elevato campo di deriva. Questa attività richiede l'utilizzo di CAD 2D e 3D per la progettazione e la simulazione dei dispositivi elettronici. Come punto di partenza si studieranno pixel con dimensioni di  $100\ \mu\text{m} \times 100\ \mu\text{m}$ , ma verrà ovviamente esplorata l'implicazione di segmentazioni diverse ( $50\ \mu\text{m} \times 100\ \mu\text{m}$ , etc...). Questo item sarà portato avanti in stretto contatto con la fonderia di silicio e vedrà una partecipazione diretta della componente Italiana in modo da acquisire compiutamente il know-how necessario al progetto di questi sensori.

##### *2) Sviluppo di architetture di front-end per la lettura dei sensori e di circuiti analogici di supporto (DAC, celle di bias, strutture ESD).*

Uno degli obiettivi fondamentali del progetto è di mantenere la dissipazione di potenza per unità di area al di sotto dei  $50\text{mW}/\text{cm}^2$ , con un target ambizioso di  $20\ \text{mW}/\text{cm}^2$ , paragonabile a quello dei rivelatori a microstrip. Il fatto che, a differenza di quanto succede per i circuiti digitali, la potenza dissipata da un circuito analogico non diminuisce riducendo il feature size della tecnologia suggerisce di spostare il più possibile l'elaborazione del segnale dal dominio analogico a quello digitale. Ad esempio è ben noto che semplici tecniche di digitalizzazione quali il Time-over-Threshold permettono di ricostruire il tempo di arrivo di un evento con una risoluzione significativamente migliore (anche di un'ordine di grandezza) del tempo di risposta caratteristico del front-end. Inoltre, le basse tensioni di alimentazioni disponibili possono favorire la scelta di architetture in corrente in alternativa ai più comuni approcci in tensione. L'uso di substrati a bassa resistività può avere degli effetti avversi sul matching dei transistori, per cui sarà necessario anche uno studio dettagliato di quelle celle analogiche di supporto quali i convertitori analogico-digitali per la regolazione della soglia e per la generazione delle correnti di polarizzazione. L'applicazione delle tensioni di polarizzazione necessarie per ottenere una regione di svuotamento sufficientemente ampia rendono inservibili le tradizionali strutture di protezione da scariche elettrostatiche basate su diodi verso il substrato, per cui si dovrà procedere allo studio di nuove strutture ad hoc. È infine necessario individuare opportune strategie per poter iniettare nel front-end un segnale di test

artificiale per permetter di fare un test elettrico dell'intera catena, senza che la circuiteria addizionale interferisca con le proprietà del sensore.

*3) Sviluppo di architetture digitali per l'estrazione dei dati e l'interfaccia con un sistema di trigger.*  
L'obiettivo di minimizzare la potenza dissipata richiede un'attenta gestione delle risorse destinate al temporaneo immagazzinamento dei dati e alla gestione dell'interfaccia con il sistema di trigger e acquisizione. È ovviamente necessario introdurre un adeguato algoritmo di soppressione degli zeri e un'adeguata compressione dell'informazione il prima possibile nel flusso di processo. A questo proposito bisogna osservare come l'utilizzo di una tecnologia very deep-submicron, se rende i circuiti praticamente immuni agli effetti di dose totale, accresce però la loro sensibilità agli effetti da evento singolo. Sarà pertanto fondamentale esaminare attentamente questo aspetto, implementando idonee strategie di protezione e valutando attentamente le loro implicazioni sull'area e la dissipazione di potenza del circuito. In questo quadro andrà anche individuata un'opportuna architettura per la serializzazione e l'invio dei dati al di fuori del chip.

### **3b. Attività di caratterizzazione**

1. Caratterizzazione del circuito dal punto di vista elettrico, utilizzando il circuito di calibrazione interno.
2. Caratterizzazione dei sensori utilizzando opportune sorgenti di laboratorio: laser infrarossi e sorgenti beta e X.
3. Studio degli effetti del danneggiamento da radiazione: effetti da dose totale e danneggiamento da neutroni (rilevante per il sensore e l'elettronica di lettura), effetti da evento singolo (rilevanti per l'elettronica digitale di lettura).
4. Studio della affidabilità. Occorre infatti ricordare che il potenziale necessario a svuotare parzialmente il sensore (fino a 100 V) viene applicato sullo stesso chip nel quale risiede l'elettronica di lettura, che deve essere quindi perfettamente isolata dal sensore stesso. Inoltre, il processo in sé non è un processo per applicazioni ad alta tensione e quindi andranno monitorati attentamente eventuali effetti di invecchiamento

#### **4. Ruolo delle Sezioni partecipanti.**

Le attività descritte al punto precedente verranno ripartite tra le varie Sezioni partecipanti, tenendo conto delle professionalità disponibili all'interno di ciascun gruppo, secondo lo schema seguente:

*Bari e Bologna.*

Studio dell'architettura di read-out digitale.

*Padova.*

Sviluppo del sistema comune di test, studio del danneggiamento da radiazione, simulazioni dei sensori.

*Torino.*

Studio del front-end e degli altri blocchi analogici (convertitori digitali-analogici, circuiti di polarizzazione, strutture ESD). Sviluppo dei circuiti per la trasmissione dati off-chip.

Oltre all'attività di design, il progetto prevede un'attività significativa di caratterizzazione, alla quale parteciperanno tutte le Sezioni coinvolte.

#### **5. Sviluppo temporale**

Il progetto si articolerà lungo un arco di tre anni. È prevista una sottomissione all'anno, anche se non si esclude di sfruttare l'opportunità di tanto in tanto offerta dalla fonderia di disporre di piccole aree di silicio a basso costo ("taxi run") per testare in modo separato alcune strutture dedicate.

L'aspetto innovativo del progetto suggerisce di mantenere un'opportuna contingency sui tempi indicati per l'invio dei prototipi in fonderia. Nel prospetto si indica la prima data ritenuta realistica, tenendo conto del fatto che le sottomissioni sono cadenzate ogni 3 mesi. Il profilo temporale dell'attività attualmente previsto è pertanto il seguente:

*Gennaio-Giugno 2010:* Disegno e invio in fonderia di un primo prototipo contenente una matrice di sensori con la relativa elettronica di front-end (preamplificatore, comparatore ed eventuali DAC per la regolazione delle soglie). Questa prima sottomissione sarà incentrata sullo studio delle performance dei sensori e dei blocchi analogici.

*Gennaio-Settembre 2010:* Sviluppo del sistema di test ed installazione presso le Sezioni partecipanti. Lo sviluppo del sistema di test, basato sull'upgrade di strumentazione già esistente presso la Sezione di Padova procederà in parallelo con il disegno del primo prototipo.

*Settembre 2010-Marzo 2011:* Test del primo prototipo, attraverso caratterizzazione elettriche, con laser e sorgenti radioattive opportune. Nel frattempo verrà proseguito lo studio delle architetture di read-out digitale, in vista della sottomissione successiva.

*Marzo-Settembre 2011:* Progetto e invio in fonderia di un secondo prototipo, con il sensore e le parti analogiche eventualmente aggiornate sulla base di quanto suggerito dall'esperienza di test. Questo prototipo conterrà anche la parte digitale di elaborazione e trasmissione dati off-chip completa.

*Settembre 2011-Dicembre 2012:* Caratterizzazione del secondo prototipo. Eventuale invio in fonderia di un ulteriore prototipo nel caso vi fosse la possibilità di introdurre significativi miglioramenti. Questa lunga fase di test è giustificata dal fatto che lo scopo del progetto non è solo di fornire una prova di principio sulla possibilità di realizzare un sensore con la metodologia proposta, ma anche di dimostrarne la maturità e l'affidabilità necessarie a consentire il loro utilizzo

su vasta scala in esperimenti di fisica nucleare e delle alte energie. Questo comporta non solo lo studio delle performance di tracciamento in beam tests, ma anche lo studio della affidabilità dei dispositivi su lungo termine.

### **C) ANALISI DEI RISCHI**

Ovviamente, in caso di successo i benefici del progetto sarebbero molto consistenti. Si avrebbe infatti a disposizione una tecnologia con la quale si potrebbero implementare rivelatori monolitici rad-hard con una potenza dissipata ed un material budget ridotto. Se l'impiego di una tecnologia quale la 90 nm può aumentare significativamente il costo di prototipaggio, l'approccio monolitico ridurrebbe però drasticamente i costi della produzione su vasta scala e il man-power richiesto nell'assemblaggio del rivelatore. E' chiaro però che trattandosi di una attività sostanzialmente innovativa vi sono alcuni rischi che vanno tenuti presenti e adeguatamente gestiti.

#### *1) Elettronica di front-end e di lettura.*

Se la scelta di portare l'elettronica a bordo della matrice è suggerita dall'esigenza di minimizzare l'interferenza tra l'elettronica stessa ed il sensore, questo determina un aumento dell'area morta ai bordi del chip. L'area richiesta può essere valutata in modo affidabile solo quando si è in grado di fare il layout dei circuiti e quindi in una fase abbastanza avanzata del progetto. Va osservato che negli attuali chip per la lettura dei pixel ibridi l'area morta a bordo chip è di circa il 20-25% e questo valore non dovrebbe aumentare nell'approccio proposto. Ovviamente un chip con un'area morta significativamente più grande complicherebbe la geometria del sistema finale, introducendo sovrapposizioni tra i vari piani che porterebbero ad vanificare i vantaggi offerti da un material budget potenzialmente ridotto. Va però osservato che, dal punto di vista dell'R&D, questo non impedirebbe di dimostrare la funzionalità del sensore. Dal punto di vista di un' applicabilità su vasta scala il problema potrebbe essere risolto ricorrendo a tecniche di integrazione 3D, sovrapponendo l'elettronica di lettura fabbricata su un chip separato al sensore vero e proprio, un approccio attualmente attivamente perseguito nell'ambito della comunità scientifica. Si avrebbe comunque il beneficio di aver sviluppato una tecnologia per produrre rivelatori a pixel rad-hard anche dal punto di vista del danneggiamento da neutroni in una tecnologia CMOS commerciale. Questo permetterebbe di accedere in ogni caso ai vantaggi offerti dalle moderne fonderie per la produzione su vasta scala. (Le stesse tecniche di integrazione 3D sono infatti molto più affidabili ed economiche quando vengono applicati a wafer delle stesse dimensioni e gestiti dalla stessa fonderia).

#### *2) Sensore.*

Il sensore rappresenta uno degli elementi più critici. Va notato come lo studio finale verrà fatto in stretta collaborazione con gli esperti di processo della fonderia, usufruendo in questo modo di un know-how al massimo livello e massimizzando le possibilità di successo. Tuttavia, per quanto raffinate, le tecniche di simulazione non bastano da sole a garantire il buon funzionamento finale e solo le misure di laboratorio potranno ovviamente validare l'approccio proposto, soprattutto per quanto riguarda l'aspetto più importante, quello della radiation hardness. L'expertise maturata all'interno della collaborazione nel campo del disegno di architetture sia analogiche che digitali di signal-processing e trasmissioni dati ultra low-power costituirà comunque un prezioso back-ground facilmente applicabile ad altri contesti (ad esempio, ASIC di front-end per rivelatori a pixel ibridi più convenzionali, etc.).