

## 4 STRUTTURE CMOS

### 4.1 I componenti CMOS

Un componente MOS (Metal-Oxide-Silicon) transistor è realizzato sovrapponendo vari strati di materiale conduttore, isolante, semiconduttore su un cristallo di silicio. I transistori MOS possono essere di tipo **n** o di tipo **p**, a seconda che vengano fabbricati su un substrato di silicio drogato positivamente o negativamente. Nella tecnologia CMOS, ove C sta per complementare, vengono realizzati sullo stesso substrato sia transistori di tipo **n** che di tipo **p**.

Nel caso che si usi un substrato in silicio di tipo **n** la fabbricazione del componente pMOS è immediata mentre quello dello nMOS richiede la creazione di una zona di substrato di tipo **p**, p-well, attraverso una diffusione. Viceversa, nel caso si usi un substrato di tipo **p**, è necessario realizzare zone di tipo **n** (n-well) per la fabbricazione dei transistor pMOS. Il processo CMOS più diffuso è lo n-well che utilizza substrati di tipo **p**. In fig. 4.1.1 sono dati i profili di alcuni transistor MOS sia a *svuotamento* (*depletion*) che ad *arricchimento* (*enhancement*) non polarizzati, dove si evidenziano schematicamente le connessioni di Gate, Drain e Source. I tipi di materiale sono distinguibili per i diversi tratteggi. La zona bianca, in particolare, rappresenta la sezione svuotata.

Nel transistor *depletion* la conduzione avviene già con tensione di Gate uguale a quella del Source e per ottenere lo spegnimento il Gate deve essere negativo, o positivo, rispetto al Source a seconda che esso sia di tipo **n** o **p**, mentre il transistor *enhancement*, per entrare in conduzione, deve avere la tensione di Gate più positiva, o negativa, a seconda sia di tipo **n** o **p**, della tensione di soglia  $V_t \approx 1V$ , riferita alla tensione di Source.

Per comprendere meglio il meccanismo della conduzione consideriamo tre condizioni di polarizzazione per un transistor nMOS enhancement.

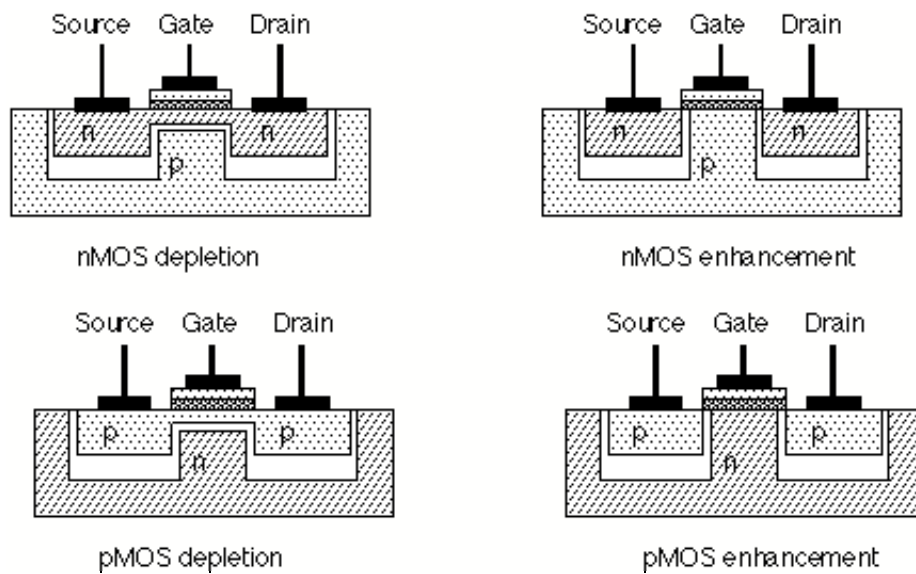


Figura 4.1.1

In fig. 4.1.2a è dato il profilo in conduzione in piena zona lineare con  $V_D = V_S$  in fig. 4.1.2b è dato il profilo in uscita alla zona lineare con tensione di Gate (meno  $V_t$ ) ancora maggiore della tensione di Drain, mentre in fig. 4.1.2c è dato il profilo in saturazione con tensione di Drain molto maggiore della tensione di Gate.

Le caratteristiche corrente di Drain,  $I_d$ , tensione Drain-Source,  $V_{ds}$ , sono date, sia per depletion che enhancement nella fig. 4.1.3. Le due famiglie di curve differiscono solo per il valore di  $V_{gs}$ .

In modo analogo ma complementare, vanno i profili per il transistor pMOS.

*Nelle applicazioni digitali i transistori CMOS sono sempre di tipo enhancement e funzionano in zona di conduzione lineare o di spegnimento, mai in zona di saturazione come invece avviene in applicazioni di tipo analogico.*

Dato che in questa sede siamo interessati al comportamento logico degli elementi, piuttosto che ai processi fisici che ne determinano il funzionamento, schematizzeremo i transistori nMOS e pMOS con i simboli circuitali di fig. 4.1.4.

Nei sistemi digitali abbiamo sempre assunto il valore logico 1 associato alla tensione 5V e quello 0 alla tensione di massa. I due transistor nMOS e pMOS, quando accesi in zona lineare, possono essere guardati come interruttori, tuttavia lo nMOS conduce bene per correnti orientate come in fig. 4.1.5a, mentre il pMOS conduce bene per correnti orientate come in fig. 4.1.5b.

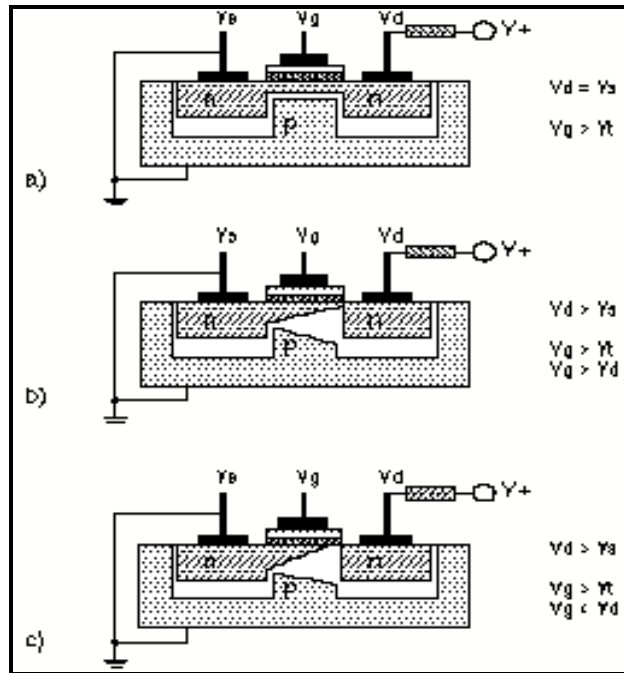


Figura 4.1.2

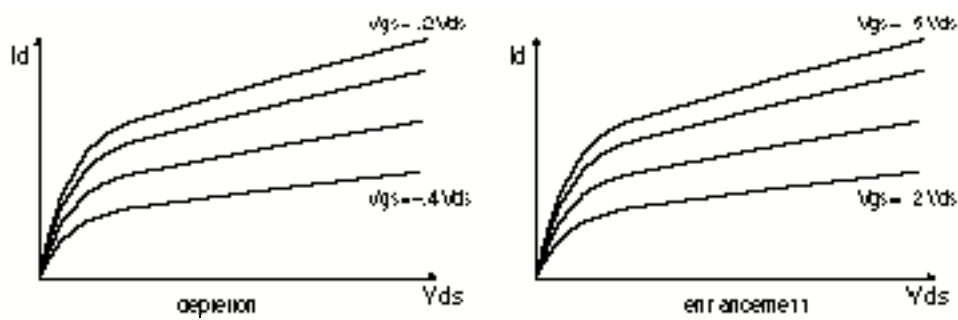


Figura 4.1.3

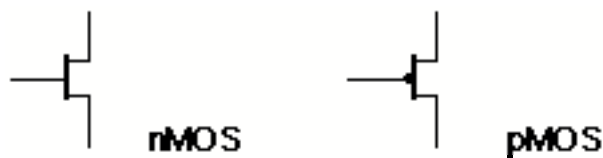


Figura 4.1.4

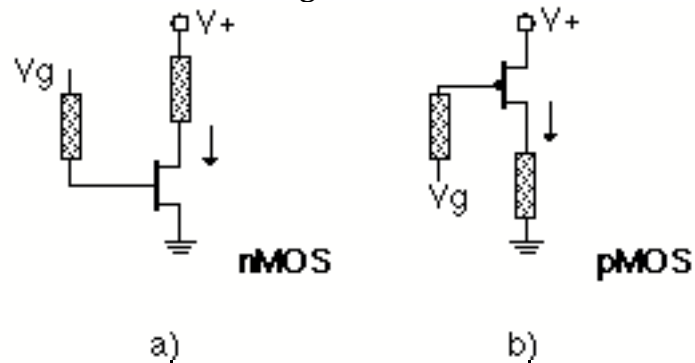


Figura 4.1.5

Un interruttore simmetrico per segnali analogici di qualsiasi polarità può essere realizzato come in fig. 4.1.6. dove la corrente sul carico passa preferenzialmente nel pMOS, durante il semiperiodo positivo, e nello nMOS, durante il semiperiodo negativo. La coppia CMOS connessa come in fig. 4.1.6 è detta "pass transistor".

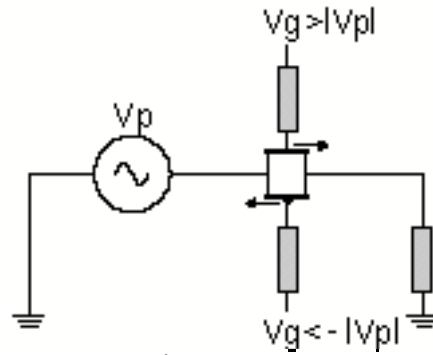


Figura 4.1.6

## 4.2 Porte logiche CMOS

Si vede immediatamente come si possano costruire circuiti che realizzino le funzioni logiche fondamentali: inversione, NAND, NOR.

L'invertitore si realizza come in fig. 4.2.1.

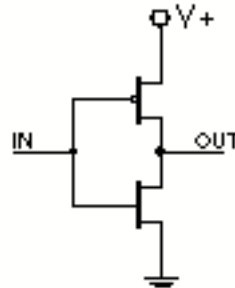


Figura 4.2.1

Quando IN è a livello logico 0 ( $V_{in} < V_{tp}$ ) entra in conduzione il pMOS connettendo OUT a  $V^+$ , fornendo quindi in uscita il livello logico 1. Quando IN è a livello logico 1 ( $V_{in} > V_{tn}$ ) entra in conduzione lo nMOS ponendo OUT a livello logico 0. È immediato verificare che i circuiti di fig. 4.2.2a e 4.2.2b sono rispettivamente NAND e NOR a due ingressi. L'aggiunta di altri ingressi è immediata.

È chiaro quindi che con le tecnologie CMOS si realizzano le fondamentali funzioni sia combinatorie che sequenziali come vedremo nel capitolo successivo.

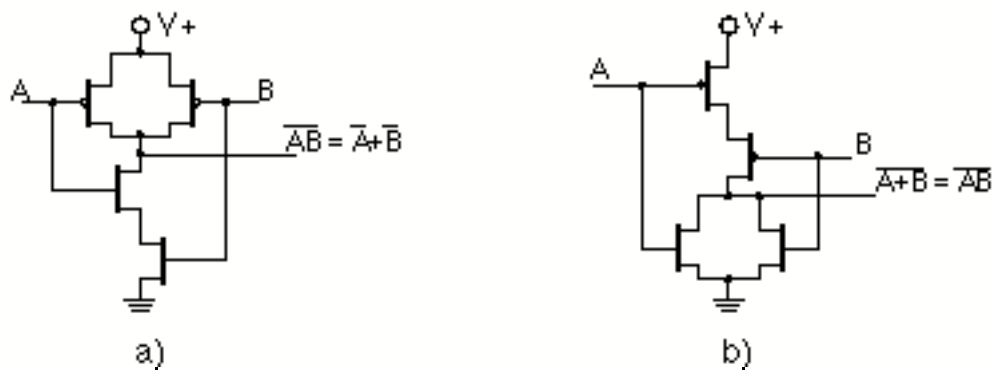


Figura 4.2.2

Consideriamo ora la funzione XOR; il modo più semplice per realizzarla è dato dallo schema di fig. 4.2.3

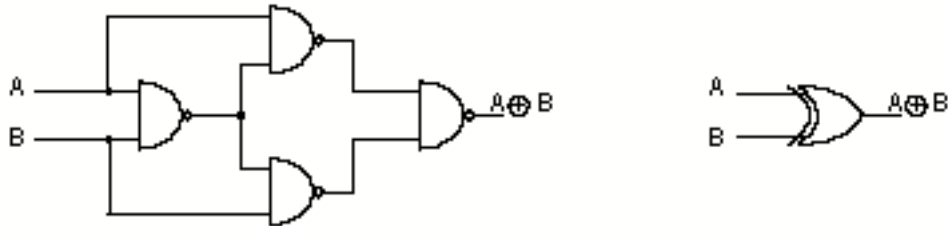


Figura 4.2.3

Per realizzare lo XOR con le porte di tipo NAND CMOS sarebbero quindi necessari 16 transistori CMOS. Osserviamo tuttavia che il circuito XOR si può realizzare anche come in fig. 4.2.4.

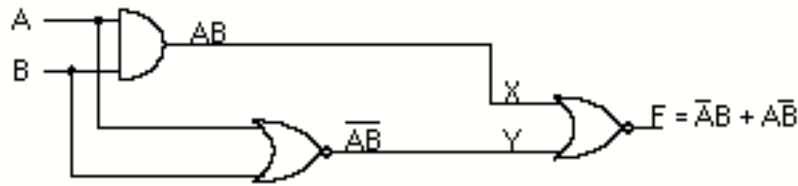


Figura 4.2.4

Tale circuito si può realizzare come in fig. 4.2.5. Il circuito di fig. 4.2.5a diviene quello di fig. 4.2.5b la cui tabella della verità è:

**Tabella 4.2.1**

$F$	$A$	$B$	$Y$
1	0	X	0
1	X	0	0

e da essa deriva:

$$F = \bar{A}\bar{Y} + \bar{B}\bar{Y} \tag{4.2.1}$$

$$= (\bar{A} + \bar{B})\bar{Y} \tag{4.2.2}$$

$$= (\bar{A} + \bar{B})(A + B) = \bar{A}B + A\bar{B} \tag{4.2.3}$$

che è la funzione XOR.

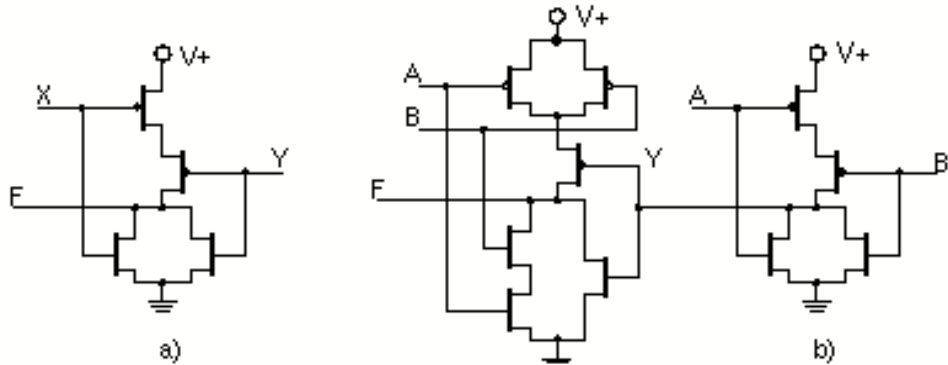


Figura 4.2.5

In generale si può dire che nel Gate di uscita (NAND o NOR) possono essere incorporati negli ingressi OR o AND permettendo di realizzare strutture molto compatte. Il circuito XOR di fig. 4.2.5 richiede un totale di 10 transistor CMOS.

Analogamente si realizza la  $\overline{XOR}$  come in fig. 4.2.6.

Questa possibilità di incorporare funzioni risulta particolarmente interessante quando si progettino circuiti digitali in silicio secondo la tecnologia CMOS.

In questo caso è importante essere in grado di rappresentare la funzione da realizzare, come opportuna funzione delle variabili d'ingresso tutte vere (o tutte false). Un esempio chiarirà meglio il procedimento.

Supponiamo di voler rappresentare come detto la funzione

$$F = A\bar{B} + \bar{A}BC + \bar{B}\bar{C} \quad (4.2.4)$$

il cui grafico è dato dal tratteggio in fig. 4.2.7.

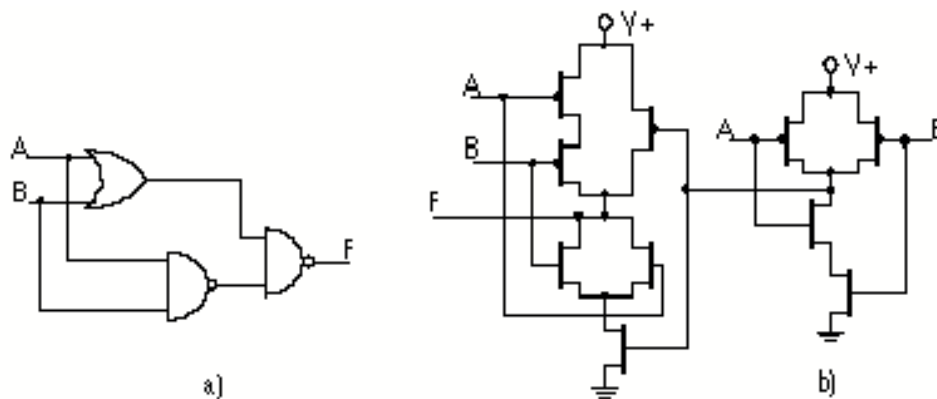


Figura 4.2.6

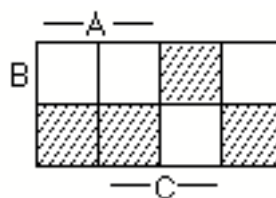


Figura 4.2.7

La funzione complemento può essere scritta come:

$$\bar{F} = AB + \bar{A}\bar{B}C + B\bar{C} \quad (4.2.5)$$

$$= \overline{(\overline{A + B})} + \overline{(A + B + \overline{C})} + \overline{(\overline{B} + C)} \quad (4.2.6)$$

$$= AB + C(\overline{A}\overline{B}) + B\overline{C} \quad (4.2.7)$$

pertanto  $F$  si realizza come nello schema di fig. 4.2.8.

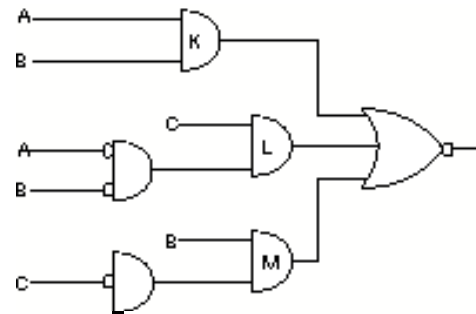


Figura 4.2.8

Con una struttura CMOS le porte  $K$ ,  $L$  e  $M$  possono essere incorporate nella porta NOR successiva. Il circuito si realizza con 18 transistori invece che con i 26 necessari alla (4.2.4), come in fig. 4.2.9.

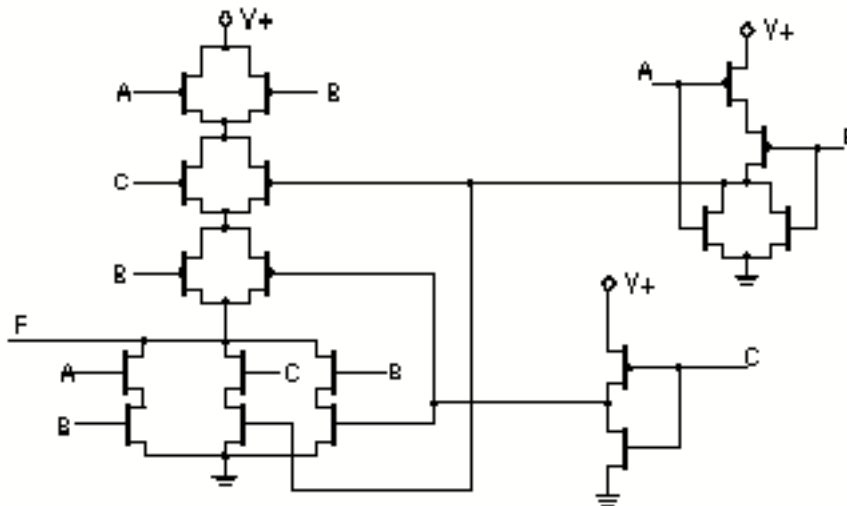


Figura 4.2.9



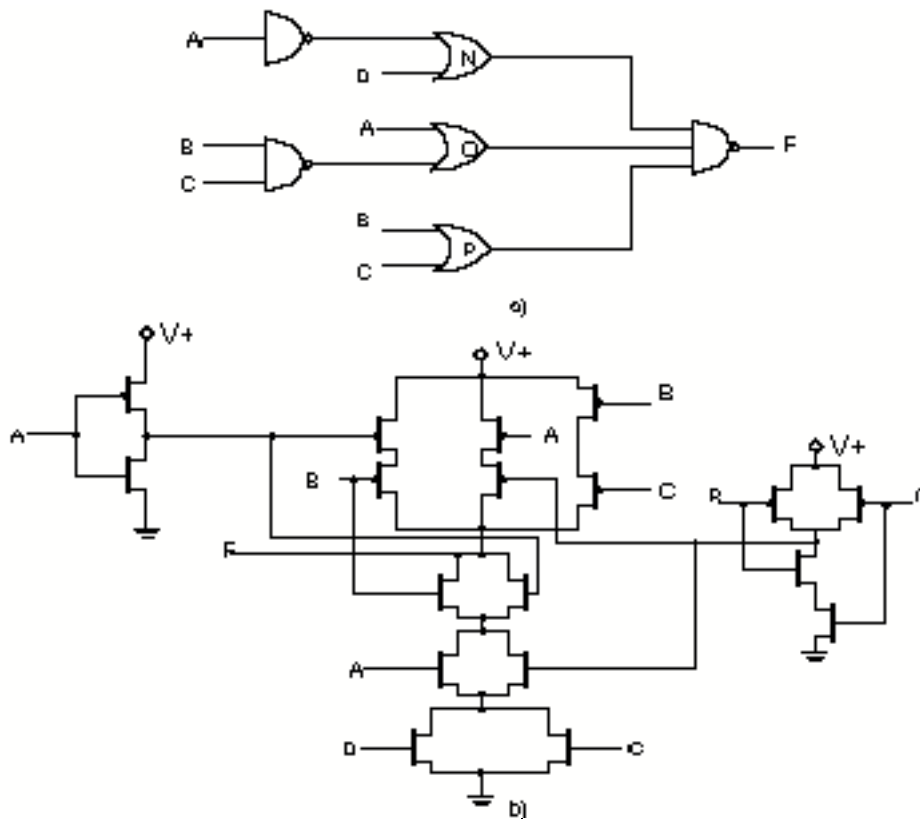


Figura 4.2.10

Si procede in modo analogo se si vuole usare in uscita un NAND. In tal caso conviene scrivere la (4.2.4) come:

$$F = (\bar{A} + \bar{B})(A + B + \bar{C})(\bar{B} + C) \quad (4.2.8)$$

e quindi la funzione complemento:

$$\bar{F} = (\bar{A} + B)(A + \bar{B}\bar{C})(B + C) \quad (4.2.9)$$

pertanto  $F$  si realizza con i circuiti di fig. 4.2.10.

In tale caso si vede che le porte N, O e P possono essere incorporate nella porta NAND successiva. Il circuito in fig. 4.2.10b si realizza ancora con 18 transistori.

### 4.3 Altre strutture CMOS

Oltre che con gli operatori NAND, NOR è possibile realizzare alcune funzioni logiche con transistori CMOS connessi in modo particolare.

Supponiamo ad esempio si voglia realizzare la funzione

$$X = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}\overline{C} \quad (4.3.1)$$

$$\overline{X} = AB + AC + BC \quad (4.3.2)$$

Si vede che la struttura di fig. 4.3.1 realizza la (4.3.1).

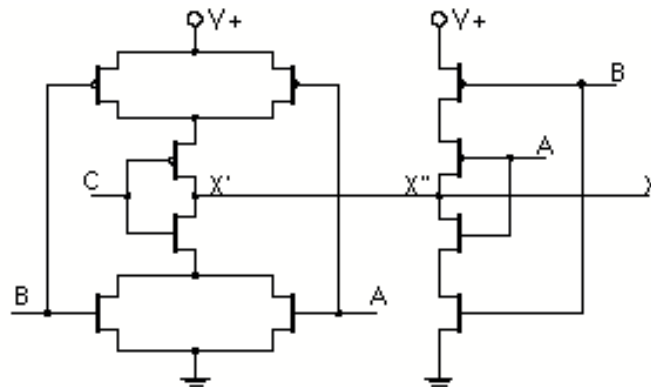


Figura 4.3.1

Si vede anche che il circuito a sinistra non realizza completamente la

$$X' = \overline{B}\overline{C} + \overline{A}\overline{C} \quad (4.3.3)$$

perché nel caso degli stati  $A = 1, B = 1, C = 0$  oppure  $A = 0, B = 0, C = 1$ ,  $X'$  dovrebbe assumere il valore  $0$ , mentre dal circuito  $X'$  risulterebbe ad alta impedenza. Analogamente per  $X''$  che risulta ad alta impedenza per  $A = 1, B = 0$  e  $A = 0, B = 1$ . Connettendo  $X'$  a  $X''$  tuttavia il funzionamento risulta corretto.

Il circuito richiede 10 transistori, mentre una sua realizzazione con un NOR che incorpori tre AND, ricavata dalle (4.3.2), richiederebbe 12 transistori.

#### 4.4 Addizionatori CMOS

Si vede dalla (4.3.1) e (4.3.2) che  $X$  è il complemento del riporto  $C_{i+1}$  della somma  $(A + B)$ , con riporto precedente  $C_i$ , essendo il riporto:

$$C_{i+1} = (AB + AC + BC)_i \quad (4.4.1)$$

Pertanto il circuito di fig. 4.3.1 seguito da un invertitore realizza  $C_{i+1}$ .

La somma  $S_i$ , (3.1.4), ha come complemento:

$$\bar{S}_i = (AB + \bar{A}\bar{B})_i \bar{C}_i + (\bar{A}\bar{B} + \bar{A}B)_i C_i \quad (4.4.2)$$

che si può scrivere anche:

$$\bar{S}_i = (ABC\bar{C} + \bar{A}\bar{B}C\bar{C} + \bar{A}\bar{B}C + \bar{A}BC)_i \quad (4.4.3)$$

$$= (\bar{A}\bar{B}\bar{C})_i + (AB + AC + BC)_i (\bar{A} + \bar{B} + \bar{C})_i \quad (4.4.4)$$

$$= (\bar{A}\bar{B}\bar{C})_i + C_{i+1} (\bar{A} + \bar{B} + \bar{C})_i \quad (4.4.5)$$

e ricordando la (4.3.1) e (4.4.1), la (4.4.5) diventa:

$$\bar{S}_i = (\bar{A}\bar{B}\bar{C})_i + \bar{X} (\bar{A} + \bar{B} + \bar{C})_i \quad (4.4.6)$$

Un sommatore  $(A + B)$  con riporto entrante  $C_i$  e uscente  $C_{i+1}$  diventa quello di fig. 4.4.1, che utilizza 28 transistori CMOS contro i 32 transistori necessari per realizzare il circuito di fig. 3.2.1.

Una variante dell'addizionatore si può ottenere osservando che il circuito di somma di fig. 4.4.2, ove si sono disegnati gli XOR in modo favorevole alla tecnologia CMOS, fornisce anche il segnale  $\bar{A}\bar{B}$  e il segnale  $P = A \oplus B$ .

Se consideriamo che il complemento di  $C_{i+1}$  si può scrivere

$$\bar{C}_{i+1} = (\bar{A}BC\bar{C} + \bar{A}\bar{B}C\bar{C} + \bar{A}\bar{B}\bar{C})_i = (\bar{C}P + \bar{A}\bar{B})_i \quad (4.4.7)$$

si vede che il circuito che realizza  $C_{i+1}$  è dato in fig. 4.4.3 che richiede 8 transistori CMOS.

Pertanto il sommatore completo (fig. 4.4.4) richiede 28 transistori come quello di fig. 4.4.1.

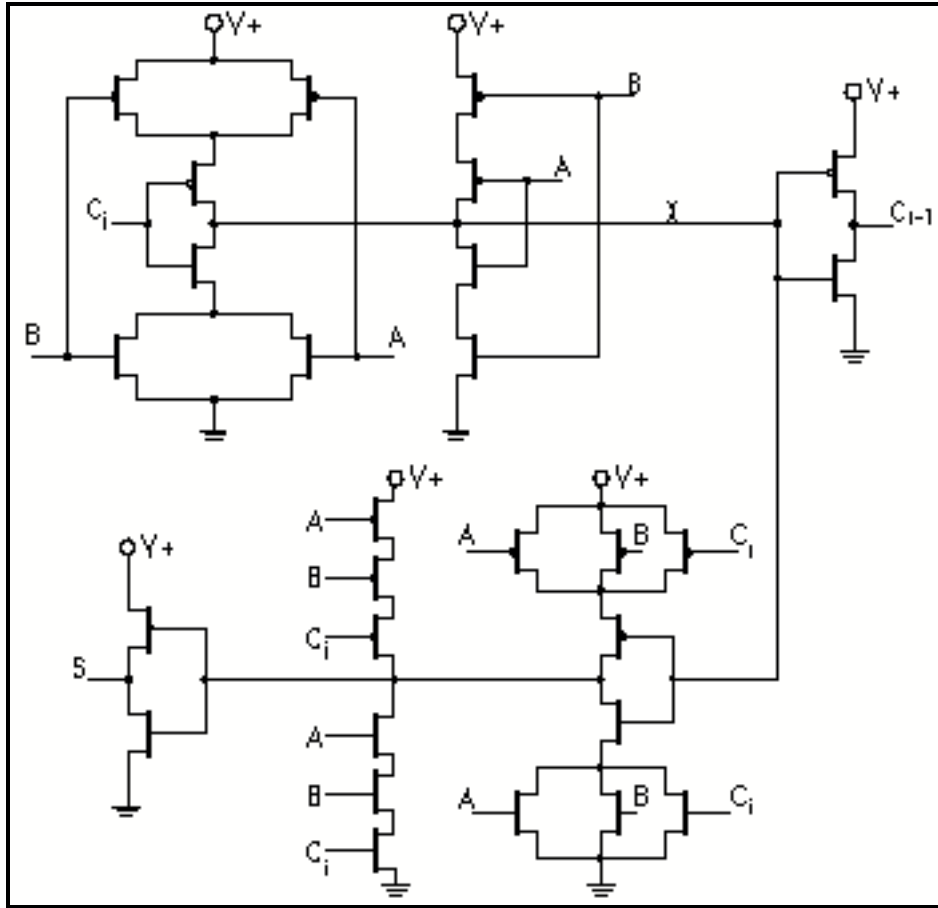


Figura 4.4.1

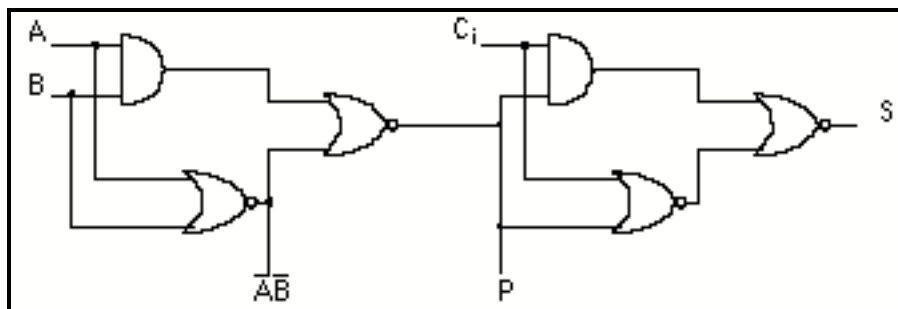


Figura 4.4.2

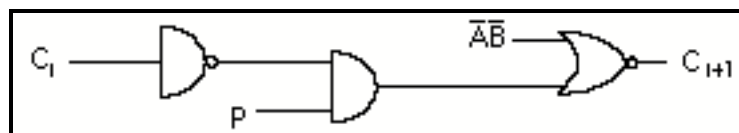


Fig. 4.4.3

Il circuito di fig. 4.4.1 comporta un ritardo massimo ingresso uscita di 3 tempi di propagazione per la funzione somma  $S_i$  e di 2 tempi di propagazione per la funzione riporto  $C_{i+1}$ , mentre il circuito di fig. 4.4.4 ha un ritardo massimo di 4 tempi di propagazione per  $S_i$  e di 3 tempi di propagazione per  $C_{i+1}$ .

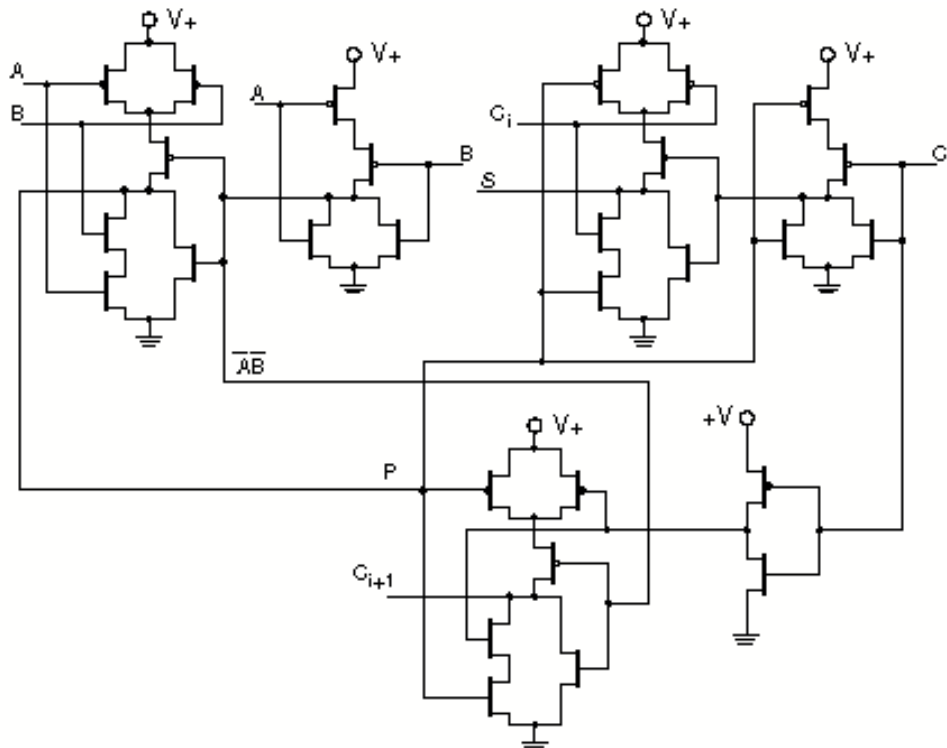


Figura 4.4.4

Qualora la velocità non sia un parametro particolarmente critico si può modificare la generazione di  $C_{i+1}$  ricordando che

$$\overline{C}_{i+1} = (\overline{C}P + \overline{A}\overline{B})_i \quad (4.4.8)$$

$$= [P(\overline{C}P + \overline{C}P) + \overline{A}\overline{B}]_i \quad (4.4.9)$$

$$= (PS + \overline{A}\overline{B})_i \quad (4.4.10)$$

Il circuito di fig. 4.4.3 diventa pertanto quello di fig. 4.4.5 che realizzato analogamente a quanto fatto in fig. 4.4.4 permette il risparmio di 2 transistori. In questo caso la funzione  $S_i$  si ottiene con 4 tempi di propagazione e  $C_{i+1}$  con 5.

Si può concludere dicendo che le strutture CMOS permettono di realizzare elementi logici con architetture particolari (fig. 4.4.1) purché si sia in grado di dimensionare correttamente gli elementi CMOS.

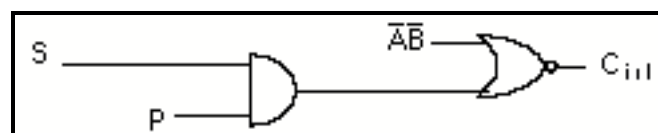


Figura 4.4.5

Più in generale, se si vuol restare nella forma più nota della rappresentazione come somma di prodotti o prodotto di somme, si

*può dire che conviene rappresentare in tale forma le funzioni complemento e realizzarle poi con NOR o NAND finale per ottenere le funzioni vere. Nelle due rappresentazioni, rispettivamente, gli eventuali addendi di tipo AND o fattori di tipo OR verranno incorporati nel NOR o nel NAND finale.*

#### 4.5 Esercizi

a)-Realizzare la funzione:

$$F = \bar{A}C + BC + \bar{A}\bar{B}C$$

con le sole variabili vere sia con NAND che con NOR d'uscita.  
Quale richiede il minor numero di transistor ?

b)-Realizzare la funzione:

$$F = \bar{A}C + A\bar{C} + \bar{A}\bar{B}\bar{C}D$$

come nell'esercizio precedente.

c)-Realizzare il circuito di fig. 4.2.4 con NAND d'uscita.

d)-Realizzare il circuito di fig. 4.2.6 con NOR d'uscita.

